

The Delphion
Integrated
View

Other Views:
[INPADOC](#) | [Derwent...](#)

Title: **JP11054685A2: SEMICONDUCTOR DEVICE AND LEAD FRAME USE SAME**

► [Want to see a more descriptive title highlighting what's new about this invention?](#)

Country: **JP Japan**

Kind: **A**

Inventor(s): **IWATANI AKIHIKO**

Applicant/Assignee: **HITACHI LTD**



[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **Feb. 26, 1999 / July 29, 1997**

Application Number: **JP1997000218098**

IPC Class: **H01L 23/50; H01L 23/28;**

► [Interested in classification by use rather than just by description?](#)

Priority Number(s): **July 29, 1997 JP19971997218098**

Abstract: **Problem to be solved:** To prevent warp of the resin sealed body of a surface mount resin sealed package by an LOC (leadless on-chip package).



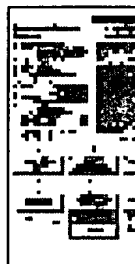
Solution: In a semiconductor device 42 of a surface mount resin sealed package, a lead 20 for preventing the warp of a resin sealed body by an LOC is wired in the side part of a chip 24 of the resin sealed body, in parallel with the chip 24. Since the resin sealed body contracts toward the center at the time of thermal hardening, the resin sealed body generates warp on account of difference of the vertical ratio of resin thickness and the vertical structure of resin sealed body inside. But the lead 20 for preventing the warp is in the side part of a chip 24, so that the volume of the side part of the chip 24 of the resin sealed body is vertically divided. In the part of the resin sealed body, generation of warp wherein the upper side expands and the lower side contracts can be prevented. Exfoliation of an outer lead from a land which is to be caused by the warp of the resin sealed body at the time of surface mounting can be prevented.

COPYRIGHT: (C)1999,JPO

► [See a clear and precise summary of the whole patent, in understandable terms.](#)

Family: [Show known family members](#)

Other Abstract Info: **DERABS G1999-220868 DERABS G1999-220868**



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54685

(43)公開日 平成11年(1999)2月26日

(51) Int.Cl.⁸

識別記号

FI

H01L 23/50

H O 1 L 23/50

G

23/28

23/28

A

審査請求 未請求 請求項の数10 FD (全 9 頁)

(21)出題番号

特願平9-218098

(22)出題日

平成9年(1997)7月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岩谷 昭彦

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 梶原 辰也

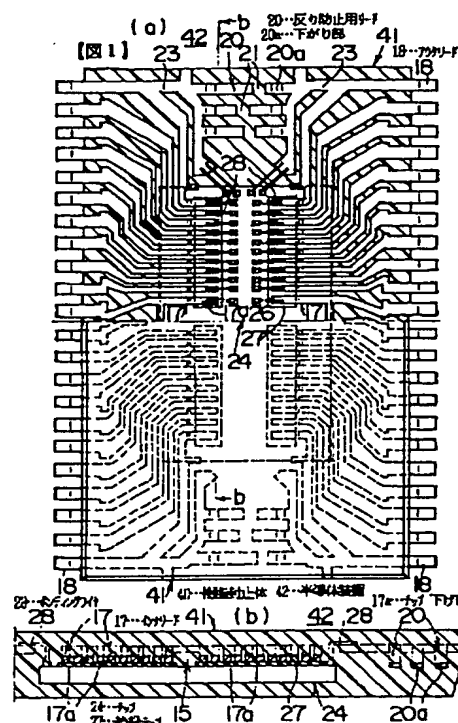
(54)【発明の名称】 半導体装置およびそれに使用されるリードフレーム

(57) 【要約】

【課題】 LOCで表面実装形樹脂封止パッケージの樹脂封止体の反りを防止する。

【解決手段】 LOCで表面実装形樹脂封止パッケージの半導体装置42において、樹脂封止体40のチップ24の脇部分に樹脂封止体40の反りを防止する反り防止用リード20がチップ24と平行に配線されている。樹脂封止体は熱硬化する際に中心に向かって収縮するため、樹脂厚さの上下比や樹脂封止体内部の上下構造の相違等を起因として、樹脂封止体は反りを発生する。しかし、反り防止用リード20がチップ24の脇の部分に配設されていると、樹脂封止体40のチップ24の脇の部分は体積が上下に分割されるため、樹脂封止体40のその部分で上側が拡大し下側が縮む反りの発生は防止される。

【効果】 樹脂封止体の反りによる表面実装時のアウトリードのランドからの剥離を防止できる。



【特許請求の範囲】

【請求項 1】 半導体チップおよびこの半導体チップに電気的に接続された複数本のインナリードが樹脂封止体によって樹脂封止されている半導体装置において、前記樹脂封止体の前記半導体チップの脇部分に前記樹脂封止体の反りを防止する反り防止用リードが、前記半導体チップと平行に敷設されていることを特徴とする半導体装置。

【請求項 2】 前記樹脂封止体の半導体チップの脇部分が、前記反り防止用リードによって厚さ方向に実質的に二等分されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記反り防止用リードは中間部をクランク形状に屈曲されて下がり部が形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記反り防止用リードが複数本、前記樹脂封止体の樹脂流通線に対して両側に分配されているとともに、対向する反り防止用リードの先端間の隙間が迷路を構成するように敷設されていることを特徴とする請求項 1、2 または 3 に記載の半導体装置。

【請求項 5】 前記半導体チップの上に絶縁層を介して前記インナリード群が固着されており、これらインナリードが前記半導体チップにワイヤボンディングによって電気的に接続されていることを特徴とする請求項 1、2、3 または 4 に記載の半導体装置。

【請求項 6】 前記各インナリードは中間部をクランク形状に屈曲されてチップ下げ部が形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記反り防止用リードは中間部をクランク形状に屈曲されて下がり部が形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 請求項 1 に記載の半導体装置に使用されるリードフレームであって、前記樹脂封止体の前記半導体チップの脇部分に対応する位置には前記樹脂封止体の反りを防止する反り防止用リードが、前記半導体チップと平行になるように敷設されていることを特徴とするリードフレーム。

【請求項 9】 前記反り防止用リードは、中間部をクランク形状に屈曲されて下がり部が形成されていることを特徴とする請求項 8 に記載のリードフレーム。

【請求項 10】 前記反り防止用リードが複数本、前記樹脂封止体の樹脂流通線に対して両側に分配されているとともに、対向する反り防止用リードの先端間の隙間が迷路を構成するように敷設されていることを特徴とする請求項 8 または 9 に記載のリードフレーム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に、樹脂封止体における反りの発生防止技術に関し、例えば、リードレス・オン・チップパッケージ（以下、L

OC という。) を備えている半導体集積回路装置（以下、IC という。）に利用して有効な技術に関する。

【0002】

【従来の技術】 ダイナミック・ランダム・アクセス・メモリー（DRAM）のためのパッケージとして、内部構造的には LOC が、外部構造的には表面実装形樹脂封止パッケージが広く使用されている。LOC は半導体チップ（以下、チップという。）の上に絶縁層を介してインナリードが複数本貼着されており、各インナリードがチップにワイヤによって電気的に接続されているパッケージである。表面実装形樹脂封止パッケージは、絶縁性を有する樹脂が使用されて平盤形状に成形された樹脂封止体の側面からアウトリード群が整列されて突出され、これらアウトリードがガル・ウイング形状や J リード形状等の表面実装可能な形状に屈曲されているパッケージである。

【0003】 なお、LOC を備えている IC を述べてある例としては、日経 B P 社 1993 年 5 月 31 日発行「実践 VLSI パッケージング技術（下）」P158、

【0004】

【発明が解決しようとする課題】 一般に、樹脂封止パッケージにおいては、樹脂封止体におけるチップの上の樹脂厚さとチップの下側の樹脂厚さとの比（以下、上下比という。）が「1」に近づけば、樹脂封止体に反りは発生しないが、「1」から離れると、樹脂封止体に反りが発生することが知られている。表面実装形樹脂封止パッケージにおいて、樹脂封止体の反りが発生すると、表面実装に際して、プリント配線基板のランドからのアウトリードの剥離が発生する。そこで、従来の一般的な表面実装形樹脂封止パッケージにおいては、所謂タブ下げを行って樹脂厚さの上下比が「1」に近づけられている。

【0005】 しかし、LOC の表面実装形樹脂封止パッケージにおいては、チップの上の樹脂厚さとチップの下側の樹脂厚さとを等しくしただけでは樹脂封止体に反りが発生する場合があるということが、本発明者によって明らかにされた。

【0006】 本発明の目的は、LOC の表面実装形樹脂封止パッケージであっても樹脂封止体における反りの発生を防止することができる半導体装置を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0009】 すなわち、半導体チップおよびこの半導体チップに電気的に接続された複数本のインナリードが樹脂

脂封止体によって樹脂封止されている半導体装置において、前記樹脂封止体の前記半導体チップの脇部分に前記樹脂封止体の反りを防止する反り防止用リードが、前記半導体チップと平行に配線されていることを特徴とする。

【0010】樹脂封止体は熱硬化する際に中心に向かって収縮するため、樹脂厚さの上下比や樹脂封止体内部の上下構造の相違等を起因として、樹脂封止体は反りを発生する。反り防止用リードがチップの脇に配設されていない場合には、樹脂封止体におけるチップの脇に体積の大きい部分が形成されることにより、樹脂封止体のその部分において上側が拡大し下側が縮む反りが発生してしまう。しかし、前記した手段においては、反り防止用リードがチップの脇の部分に配設されていることにより、樹脂封止体におけるチップの脇の部分は体積が上下に分割されるため、樹脂封止体のその部分において、上側が拡大し下側が縮む反りの発生は防止される。

【0011】

【発明の実施の形態】図1は本発明の一実施形態である半導体装置を示しており、(a)は一部切断平面図、(b)は(a)のb-b線に沿う一部省略側面断面図である。図2以降はその製造方法および作用を説明するための図である。

【0012】本実施形態において、本発明に係る半導体装置は、内部構造的にはLOCを、外部構造的には表面実装形樹脂封止パッケージを備えているDRAMとして図1(a)、(b)に示されているように構成されている。半導体集積回路装置(IC)の一例であるDRAM(以下、半導体装置という。)のLOCは、DRAM回路が作り込まれた半導体チップ(以下、チップという。)24の上に絶縁層としての絶縁テープ27を介してインナリード17が複数本貼着されており、各インナリード17がチップ24にワイヤ28によって電氣的に接続されている。表面実装形樹脂封止パッケージは、樹脂封止形TSOP(Thin Small Outline Package。以下、TSOPという。)として構成されている。

【0013】TSOPはチップ24、絶縁テープ27およびインナリード17群を樹脂封止する樹脂封止体40が平面視が長方形の平盤形状に形成されており、各インナリード17にそれぞれ連結されているアウトリード18が長辺側の一对の側面からそれぞれ突出されて、ガル・ウイング形状に屈曲されている。樹脂封止体40におけるチップ24の短辺側の両脇部分には樹脂封止体40の反りを防止するための反り防止用リード20が複数本、チップ24と平行に敷設されており、樹脂封止体40のチップ24の脇部分は反り防止用リード20群によって厚さ方向に実質的に二等分されている。各反り防止用リード20には中間部をクランク形状に屈曲されて下がり部20aが形成されている。また、反り防止用リー

ド20群は樹脂封止体40の樹脂流通線に対して左右両側に分配されているとともに、対向する反り防止用リード20、20の先端間の隙間21が迷路を構成するように敷設されている。

【0014】以下、本発明の一実施形態である半導体装置の製造方法を説明する。この説明により、半導体装置についての前記した構成の詳細が共に明らかにされる。

【0015】半導体装置の製造方法には、図2および図3(a)、(b)、(c)に示されている多連リードフレーム11が使用されており、多連リードフレーム11は多連リードフレーム成形工程において製作される。図3(a)は図2のa-a線に沿う側面断面図、図3

(b)は図2のb-b線に沿う正面断面図、図3(c)は図2のc-c線に沿う正面断面図である。多連リードフレーム11は鉄-ニッケル合金や燐青銅等の比較的大きい機械的強度を有するばね材料からなる薄板が用いられて、打ち抜きプレス加工またはエッチング加工により一体成形されている。多連リードフレーム11の表面には銀(Ag)等を用いためっき被膜(図示せず)が、後述するワイヤボンディングが適正に実施されるように部分的または全体的に施されている。多連リードフレーム11は複数の単位リードフレーム12が横方向に一直列に並設されている。但し、便宜上、一単位のみが図示されている。

【0016】単位リードフレーム12は位置決め孔13aが開設されている外枠13を一对備えており、両外枠13、13は所定の間隔で平行になるように配されて一連にそれぞれ延設されている。隣り合う単位リードフレーム12、12間には一对のセクション枠14が両外枠13、13間に互いに平行に配されて一体的に架設されており、これら外枠とセクション枠により形成された長方形の枠体(フレーム)内に単位リードフレーム12が構成されている。そして、単位リードフレーム12の中央部にはチップを配置するためのチップ配置部15が、後記するチップに対応する平面視が長方形に設定されている。

【0017】両外枠13、13間には一对のダム部材16、16が、両セクション枠14、14の内側において平行にそれぞれ架設されている。両ダム部材16、16の内側端部にはインナリード17が複数本ずつ、長手方向に等間隔に配されてダム部材16と直交するようにそれぞれ一体的に突設されており、両インナリード17群のそれぞれはチップ配置部15の長辺に平行に並べられて、内側端部がチップ配置部15の真上で揃えられている。各インナリード17におけるチップ配置部15の真上に配置された内側端部は、図3(a)、(b)、

(c)に示されているように、チップ配置部15の方向(以下、下側とする。)にクランク形状に屈曲され、この端部には所謂タブ下げ部に相当するチップ下げ部17aがそれぞれ形成されている。

【0018】他方、ダム部材16の外側端辺にはインナリード17と同数本のアウトリード18が、各インナリード17と対向するように配されてインナリード17と一直線状になるように一体的に突設されている。各アウトリード18の外側端部はセクション枠14にそれぞれ連結されている。ダム部材16における隣り合うアウトリード18、18間の部分は、後述する樹脂封止体成形時にレジンの流れをせき止めるダム16aを実質的に構成している。

【0019】両外枠13、13の内側端辺における中央部には吊りリード19が複数本ずつ、それぞれ直角方向（以下、前後方向とする。）に突設されており、各外枠13側で対向する一対の吊りリード19、19の中間部には反り防止用リード20が3本ずつ、互に対向するように敷設されてそれぞれ直角方向（以下、左右方向とする。）に突設されている。互に対向する左右の反り防止用リード20、20の先端間には適度な隙間21がそれぞれ形成されており、前後方向に並んだこれら3個の隙間21、21、21は迷路を構成するように千鳥状に配置されている。また、図3(a)、(b)、(c)に示されているように、各反り防止用リード20の先端部は下がり部20aが下側にクランク形状に屈曲されて形成されており、下がり部20aの高さはチップ配置部15におけるチップの高さと略等しくなるように設定されている。

【0020】各吊りリード19の先端部はチップ配置部15の短辺の近傍に配置されることにより、外側インナリード部22をそれぞれ形成している。また、各吊りリード19は前後方向の最も外側にそれぞれ位置するインナリード17に連結部23によってそれぞれ連結されている。したがって、各外側インナリード部22はそれらインナリード17にそれぞれ電氣的に接続される状態になっている。

【0021】以上の構成に係る多連リードフレーム11には図4(a)、(b)、(c)に示されているチップ24が、チップ・ボンディング工程において、図5および図6(a)、(b)、(c)に示されているようにチップ・ボンディングされ、続いて、ワイヤ・ボンディング工程においてワイヤ・ボンディングされる。チップ・ボンディング作業およびワイヤ・ボンディング作業は多連リードフレームが横方向にピッチ送りされることにより、各单位リードフレーム毎に順次実施される。

【0022】図4(a)、(b)、(c)に示されているチップ24は、半導体装置の製造工程における所謂前工程においてDRAM素子を含む集積回路が作り込まれた半導体集積回路構造物であり、図4(a)に示されているように長方形の平盤形状に形成されている。図4

(b)、(c)に示されているようにチップ24のアクティブ・エリア側の主面（以下、上面という。）には保護膜25が被着されており、保護膜25にはアクティブ

・エリアに電氣的に接続されたボンディングパッド（以下、パッドという。）26が多数個、図4の(a)に示されているように長辺と平行の中心線に沿って各インナリード17とそれぞれ対向するように配列されて露出されている。保護膜25の上面におけるパッド26群列の両脇には絶縁層としての絶縁テープ27が複数枚、インナリード17のチップ下げ部17aの群列と対応するように配されて被着されている。なお、絶縁テープ27はインナリード17側に被着してもよい。

10 【0023】以上のように構成されたチップ24は単位リードフレーム12のチップ配置部15に図5に示されているように配置されて、絶縁テープ27によってインナリード17のチップ下げ部17aの下面に図6

(a)、(b)、(c)に示されているように接着される。チップ24はチップ下げ部17aの下面に接着されるため、チップ24の上面はインナリード17すなわち単位リードフレーム12の下面よりも下げられた状態になっている。また、各反り防止用リード20の下がり部20aはチップ24の高さと略等しくなっている。

20 【0024】続いて、ワイヤ・ボンディング工程において、チップ24の各パッド26と各インナリード17および外側インナリード部22との間にはボンディングワイヤ28が、超音波熱圧着式ワイヤボンディング装置等のワイヤボンディング装置（図示せず）が使用されることにより、その両端部をそれぞれボンディングされて橋絡される。これにより、チップ24に作り込まれている集積回路はパッド26、ボンディングワイヤ28、インナリード17およびアウトリード18を介して電氣的に外部に引き出されることになる。

30 【0025】以上のようにしてチップ・ボンディングおよびワイヤ・ボンディングされた図5および図6に示されている組立体29には樹脂封止体が、図7(a)、(b)、(c)に示されているトランスファ成形装置30が使用されて単位リードフレーム12群について同時に成形される。

40 【0026】図7(a)、(b)、(c)に示されているトランスファ成形装置30は、シリンダ装置等（図示せず）によって互いに型締めされる一対の上型31と下型32とを備えており、上型31と下型32との合わせ面には上型キャビティー凹部33aと下型キャビティー凹部33bとが、互いに協働して長方形平盤形状のキャビティー33を形成するようにそれぞれ複数組宛設されている。すなわち、上型キャビティー凹部33aと下型キャビティー凹部33bは平面から見て略長方形の底の浅い穴形状に形成されている。本実施形態において、キャビティー33の全高はTSOPに対応するために、1mm以下に設定されている。

50 【0027】上型31の合わせ面にはボット34が開設されており、ボット34にはシリンダ装置（図示せず）により進退されるブランジャ35が成形材料としての樹

脂（以下、レジンという。）を送給し得るように挿入されている。下型 32 の合わせ面にはカル 36 がポット 34 との対向位置に配されて設けられているとともに、複数条のランナ 37 がカル 36 にそれぞれ接続するように放射状に配されて設けられている。各ランナ 37 の他端部は下側キャビティー凹部 33b における一方の短辺にそれぞれ接続されており、その接続部にはゲート 38 がレジンをキャビティー 33 内に注入し得るように形成されている。

【0028】トランスファ成形に際して、前記構成にかかる組立体 29 は各単位リードフレーム 12 におけるチップ 24 が各キャビティー 33 内にそれぞれ収容されるように配されてセットされる。

【0029】続いて、上型 31 と下型 32 とが図 7 に示されているように型締めされ、ポット 34 からブランチ 35 によりレジン 39 がランナ 37 およびゲート 38 を通じて各キャビティー 33 に送給されて圧入される。ゲート 38 からキャビティー 33 に流入したレジン 39 は、図 7 (a) に示されているように、ゲート 38 の付近に位置する反り防止用リード 20 群の整流板作用によってキャビティー 33 の上下に振り分けられるため、キャビティー 33 の上部空間および下部空間に均等にそれぞれ流通して行く。

【0030】この際、左右の反り防止用リード 20 と 20 とが形成する 3 個の隙間 21 が直線上に整列していると、反り防止用リード 20 群に至ったレジン 39 が直線上に整列した 3 個の隙間 21 を一直線に通過してしまうため、反り防止用リード 20 群の整流板作用は効果的に実施されない。しかし、本実施形態においては、3 個の隙間 21 が迷路を構成するように千鳥に配列されているため、図 7 (c) に示されているように、反り防止用リード 20 群に至ったレジン 39 は一直線に通過することなく迷路を流通する状態になり、反り防止用リード 20 群の整流板作用は効果的に実施される状態になる。

【0031】注入後、レジンが熱硬化されて樹脂封止体 40 が成形されると、上型 31 および下型 32 は型開きされるとともに、エジェクタ・ピン（図示せず）により樹脂封止体 40 群が離型される。このようにして、図 8 および図 9 に示されているように、樹脂封止体 40 群が成形された成形品 41 はトランスファ成形装置 30 から脱装される。そして、このように樹脂成形された樹脂封止体 40 の内部には、インナリード 17、反り防止用リード 20、チップ 24、絶縁テープ 27 およびボンディングワイヤ 28 が樹脂封止された状態になる。本実施形態において、反り防止用リード 20 は下がり部 20a が樹脂封止体 40 の内部にあってチップ 24 の上面と略一致した状態になっている。図 8 は樹脂封止後の成形品 41 の一部省略一部切断平面図である。また、図 9 (a) は図 8 の a-a 線に沿う側面断面図である。図 9 (b) は図 8 の b-b 線に沿う正面断面図、図 9 (c) は図 8

の c-c 線に沿う正面断面図である。

【0032】ところで、樹脂封止体 40 は熱硬化する際に中心に向かって収縮するため、樹脂厚さの上下比や樹脂封止体 40 内部の上下構造の相違等を起因として、樹脂封止体 40 は反りを発生する。図 10 (a) に示されているように、反り防止用リードがチップ 24 の脇の部分に配設されていない場合には、たとえ、チップ 24 が上下の中央部に配置されていたとしても、樹脂封止体 40 におけるチップ 24 の脇の部分に体積の大きい部分が形成されることにより、図 10 (a) に破線矢印に示されているように大きな収縮力が発生するため、樹脂封止体 40 のその部分において上側が拡大し下側が縮む反りが想像線で示されているように発生してしまう。

【0033】しかし、本実施形態においては、反り防止用リード 20 群がチップ 24 の脇の部分に配設されていることにより、樹脂封止体 40 におけるチップ 24 の脇の部分は図 10 (b) に示されているように体積が上下に分割されていることにより、図 10 (b) に破線矢印で示されているように収縮力が分散されるため、樹脂封止体 40 の当該部分において上側が拡大し下側が縮む反りの発生は防止される。しかも、反り防止用リード 20 は下がり部 20a がチップ 24 の上面と略面一になるように形成されていることにより、樹脂封止体 40 におけるチップ 24 の脇の部分は上下に二等分された状態になっているため、樹脂封止体 40 のその部分において上側が拡大し下側が縮む反りの発生はより一層確実に防止される。つまり、当該部分における樹脂の収縮による反りは小さくなるため、反りの発生は完全に防止された状態になる。

【0034】なお、本実施形態においては、インナリード 17 にチップ下げ部 17a が形成されていることにより、チップ 24 が樹脂封止体 40 の高さの中央部位に配置されているため、樹脂封止体 40 のチップ 24 が位置する中央部においても反りの発生が防止された状態になる。したがって、樹脂封止体 40 は全体にわたって反りが無い平らな状態を維持することになる。

【0035】以上のようにして反りの無い樹脂封止体 40 を成形された半完成品としての成形品 41 は、リード切断成形工程（図示せず）において各単位リードフレーム毎に外枠 13 およびダム 16a を切り落とされるとともに、各アウトリード 18 をガル・ウイング形状に屈曲形成される。これにより、図 1 に示されている半導体装置 42 が製造されたことになる。

【0036】以上説明した前記実施形態によれば、次の効果が得られる。

① LOC の樹脂封止体の内部におけるチップの両脇の部分に反り防止用リードを敷設することにより、樹脂封止体に反りが発生するのを防止することができるため、樹脂封止体の反りによる外観不良や耐湿性等の性能低下の発生を未然に防止することができる。

【0037】② 樹脂封止体の反りを防止することにより、TSOPがプリント配線基板される際のアウトリードのランドからの剥離を防止することができる。

【0038】③ 樹脂封止体の反りを防止する反り防止用リードはリードフレームに一体成形することができるため、製造コストの増加を回避することができる。

【0039】④ 樹脂封止体の反りを防止することにより、樹脂封止体成形工程以後の製品の搬送トラブルを低減することができるため、搬送装置等の稼働率の低下を防止することができ、ひいては半導体装置の生産性を高めることができる。

【0040】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】例えば、反り防止用リードは3本ずつ配線するに限らず、1もしくは2本または4本以上配線してもよい。

【0042】外部構造的にはTSOPに構成するに限らず、通常のSOPやSOJ（スモール・アウトライン・Jリードパッケージ）、TSOJ、SOI（スモール・アウトライン・Iリードパッケージ）、TSOI等の表面実装形樹脂封止パッケージ、さらには、挿入形樹脂封止パッケージに構成してもよい。

【0043】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について主に説明したが、それに限定されるものではなく、その他のICやトランジスタ・アレー等の半導体装置全般に適用することができる。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0045】樹脂封止体の内部におけるチップの両脇の部分に反り防止用リードを敷設することにより、樹脂封止体に反りが発生するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置を示しており、(a)は一部切断平面図、(b)は(a)のb-b線に沿う一部省略側面断面図である。

【図2】本発明の一実施形態であるリードフレームを示す一部省略平面図である。

【図3】(a)は図2のa-a線に沿う側面断面図、(b)は図2のb-b線に沿う正面断面図、(c)は図2のc-c線に沿う正面断面図である。

【図4】チップを示しており、(a)は平面図、(b)は(a)のb-b線に沿う正面断面図、(c)は(a)のc-c線に沿う側面断面図である。

【図5】チップおよびワイヤ・ボンディング工程後を示す一部省略平面図である。

【図6】(a)は図5のa-a線に沿う側面断面図、(b)は図5のb-b線に沿う正面断面図、(c)は図5のc-c線に沿う正面断面図である。

【図7】樹脂封止体の成形工程を示しており、(a)は一部省略側面断面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う部分平面断面図である。

【図8】樹脂封止体成形後の成形品を示す一部省略一部切断平面図である。

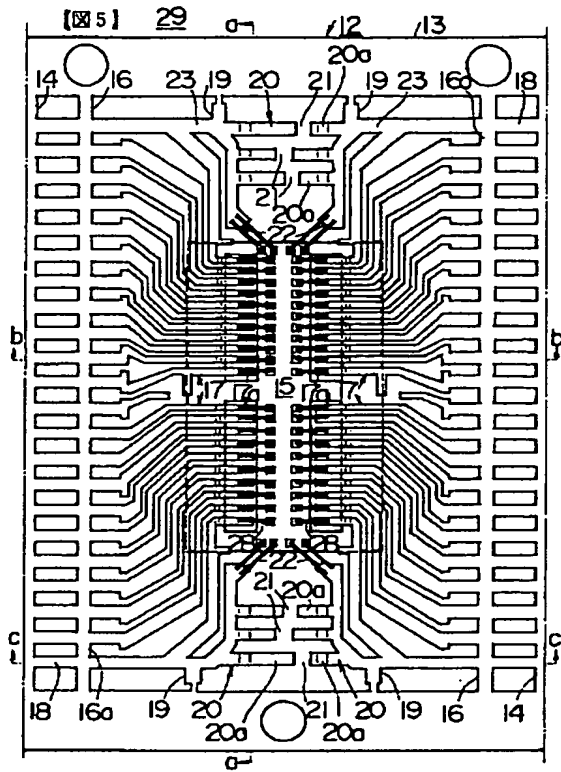
【図9】(a)は図8のa-a線に沿う側面断面図、(b)は図8のb-b線に沿う正面断面図、(c)は図8のc-c線に沿う正面断面図である。

【図10】樹脂封止体の反りを説明するための側面断面図であり、(a)は比較例の場合を、(b)は実施形態の場合をそれぞれ示している。

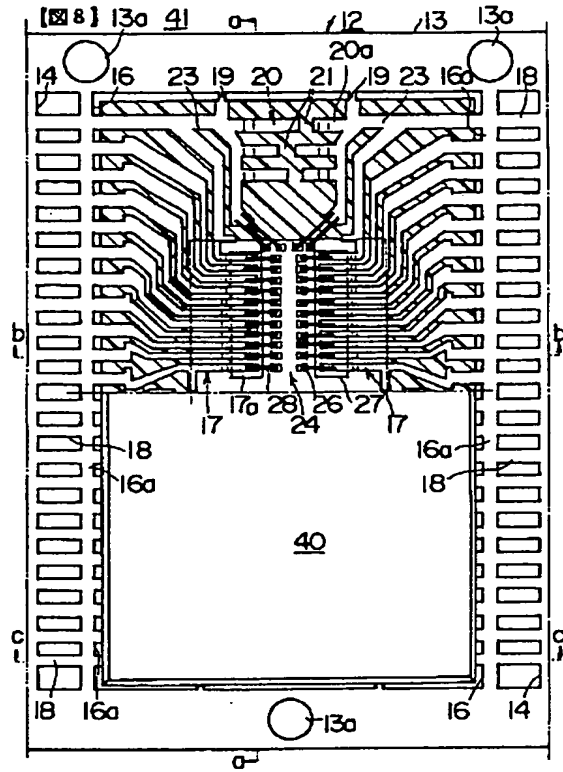
【符号の説明】

11…多連リードフレーム、12…単位リードフレーム、13…外枠、14…セクション枠、15…チップ配置部、16…ダム部材、16a…ダム、17…インナリード、17a…チップ下げ部、18…アウトリード、19…吊りリード、20…反り防止用リード、20a…下がり部、21…隙間、22…外側インナリード部、23…連結部、24…チップ、25…保護膜、26…ボンディングパッド、27…絶縁テープ（絶縁層）、28…ボンディングワイヤ、29…組立体、30…トランスファ成形装置、31…上型、32…下型、33…キャビティ、33a…上型キャビティ凹部、33b…下型キャビティ凹部、34…ポット、35…ブランジャ、36…カル、37…ランナ、38…ゲート、39…レジン、40…樹脂封止体、41…成形品、42…半導体装置。

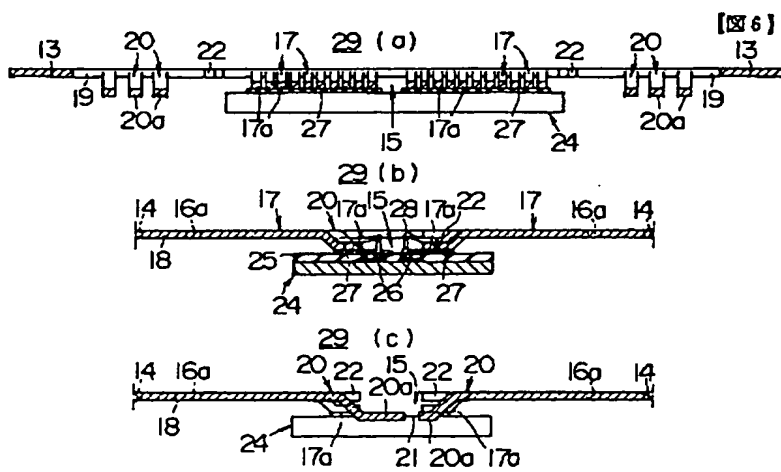
【図 5】



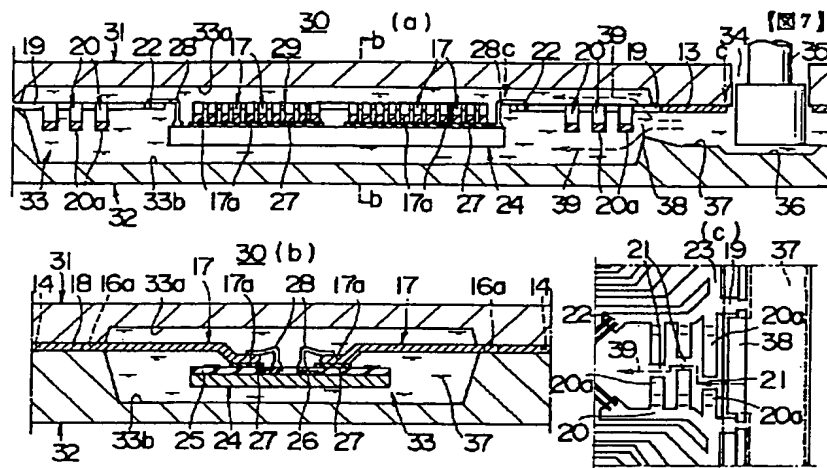
【図 8】



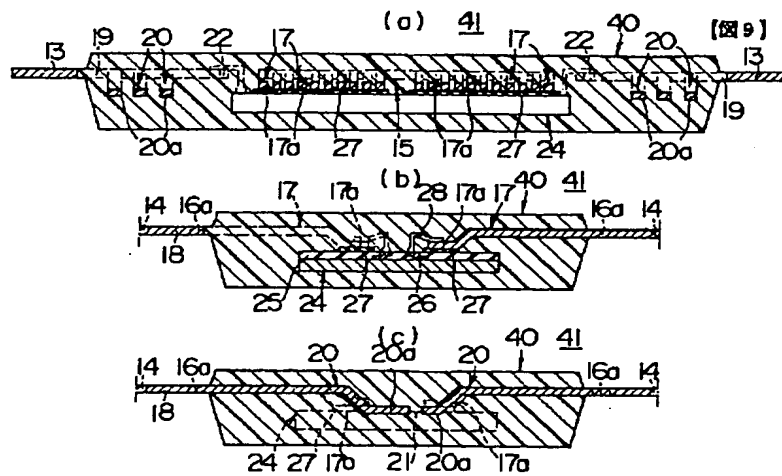
【図 6】



【図 7】



【図 9】



【図 10】

